

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-006072

(43)Date of publication of application : 12.01.1996

(51)Int.Cl.

G02F 1/136  
H01L 29/786

(21)Application number : 06-138976

(71)Applicant : MITSUBISHI ELECTRIC CORP  
ASAHI GLASS CO LTD

(22)Date of filing : 21.06.1994

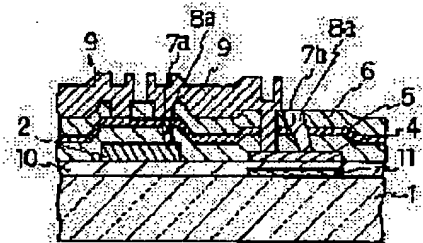
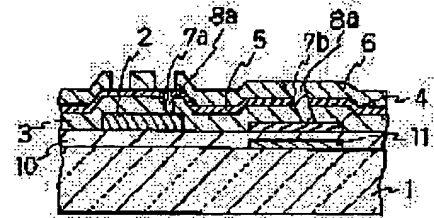
(72)Inventor : MAEJIMA TARO

## (54) FORMATION OF LAMINATED CONDUCTIVE FILM PATTERN

### (57)Abstract:

**PURPOSE:** To provide a method for forming conductive film patterns which prevent electrical shorting and corrosion by pinholes between the conductive films laminated via insulating films, etc.

**CONSTITUTION:** This method for forming the laminated conductive film patterns comprises forming the lower conductive film patterns having prescribed patterns on an insulating substrate and forming the upper conductive film patterns via at least the insulating films on the layers upper than the lower conductive film patterns. A positive type resist is applied on the insulating films so as to attain a prescribed film thickness after the insulating films 3 are formed on the layers upper than the lower conductive film patterns 2, 4 and before the upper conductive film 9 material is deposited. The entire surface is then irradiated with light of the quantity necessary for dissolving the positive type resist in a developer by as much as the prescribed film thickness thereof and thereafter, the resist is developed, by which the resist on the insulating films is removed. On the other hand, the positive type resist infiltrating the inside of the pinholes 7a, 7b of the insulating films is made to remain. The upper conductive film material is then deposited on the insulating films and is patterned, by which the upper conductive film patterns are formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-6072

(43)公開日 平成8年(1996)1月12日

(51)Int.Cl.<sup>9</sup>

G 0 2 F 1/136

H 0 1 L 29/786

識別記号

5 0 0

庁内整理番号

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 A

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平6-138976

(22)出願日 平成6年(1994)6月21日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 000000044

旭硝子株式会社

東京都千代田区丸の内2丁目1番2号

(72)発明者 前島 太郎

熊本県菊池郡西合志町御代志997番地 株

式会社アドバンスト・ディスプレイ内

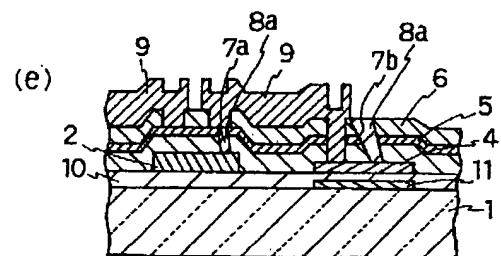
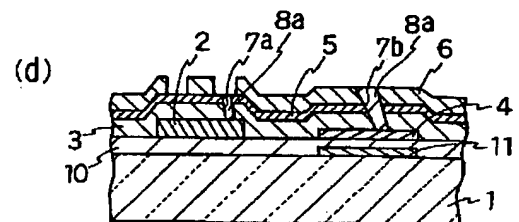
(74)代理人 弁理士 高田 守

(54)【発明の名称】 積層導電膜パターンの形成法

(57)【要約】

【目的】 絶縁層を介して積層される導電膜間のピンホールなどによる電氣的短絡や腐蝕を防ぐ導電膜パターンの形成法を提供する。

【構成】 絶縁基板上に所定のパターンを有する下部導電膜パターンを形成し、該下部導電膜パターンより上層に少なくとも絶縁膜を介して上部導電膜パターンを形成する積層導電膜パターンの形成法であって、前記下部導電膜パターン2、4より上層に絶縁膜3を設けたのち前記上部導電膜9材料を堆積する前に該絶縁膜上にポジ型レジストを所定の膜厚になるように塗布し、ポジ型レジストの所定の膜厚分が現像液に溶解するために必要な光の量を全面に照射し、ついで現像して前記絶縁膜上のレジストを除去する一方、絶縁膜のピンホール7a、7b内に侵入した前記ポジ型レジストを残存させ、つぎに絶縁膜上に前記上部導電膜材料を堆積しパターンニングすることにより上部導電膜パターンを形成する。



- |           |               |
|-----------|---------------|
| 1 絶縁性透明基板 | 5 半導体膜        |
| 2 ゲート電極   | 6 絶縁膜         |
| 3 ゲート絶縁膜  | 7 a、7 b ピンホール |
| 4 画素電極    | 9 ソース/ドレイン電極  |

## 【特許請求の範囲】

【請求項 1】 絶縁基板上に所定のパターンを有する下部導電膜パターンを形成し、該下部導電膜パターンの上層に絶縁膜を設けるとともに該絶縁膜の上層にレジストを所定の膜厚になるように塗布し、該レジストの所定の膜厚分が現像液に溶解するために必要な光の量を全面に照射し、ついで現像して前記絶縁膜の上層のレジストを除去する一方、該絶縁膜のピンホール内に侵入した前記レジストを残存させ、つぎに、該絶縁膜の上層に前記上部導電膜材料を堆積しパターンニングすることにより上部導電膜パターンを形成することを特徴とする積層導電膜パターンの形成法。

【請求項 2】 請求項 1 記載の積層導電膜パターンの形成法において、レジストへの光の照射工程を、全面照射に代えて前記上部導電膜パターンが形成される箇所のみに行う積層導電膜パターンの形成法。

【請求項 3】 絶縁基板上に所定のパターンを有する下部導電膜パターンを形成し、該下部導電膜パターンの上層に絶縁膜を設けるとともに該絶縁膜の上層に第 1 のレジストを所定の膜厚になるように塗布し、該第 1 のレジストの所定の膜厚分が現像液に溶解するために必要な光の量を前記上部導電膜パターンが形成される箇所のみに照射し、ついで現像して前記光が照射されたレジストを除去し、該絶縁膜の上層に前記上部導電膜材料を堆積し、ついで該導電膜材料上に第 2 のレジストを塗布しパターンニングすることにより上部導電膜パターンを形成し、残存する第 2 のレジストおよび前記上部導電膜のパターンニングにより露出した前記第 1 のレジストを同時に除去することを特徴とする積層導電膜パターンの形成法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、積層導電膜パターンの形成法に関する。さらに詳しくは、所定のパターンを有する下部導電膜上に設けられた絶縁膜にピンホールが形成されても、上部導電膜との短絡を防止したり、上部導電膜パターンを形成する際の現像液やエッチング液による下部導電膜の腐蝕を防止することができる積層導電膜パターンの形成法に関する。

【0002】 ここに積層導電膜パターンとは、金属膜または ITO 膜などの導電性材料からなり、電極や配線などの所望の形状に形成された導電膜パターンが、少なくとも絶縁膜を介して積層されているものを意味する。

## 【0003】

【従来の技術】 近年の情報化社会の発展には、めざましいものがあり、薄膜トランジスタ（以下、TFT という）型液晶表示装置（以下、LCD という）に代表される情報表示端末はその重要性、および有効性がますます高まりつつある。TFT-LCD は、半導体と同様のプロセスを経て製造されるため、異物やピンホールなどの

影響を受け、歩留りを低下させる要因をその工程中に多く有している。しかし、一方では、世の中の需要は高性能の製品をより安い価格で提供することを求めている、TFT-LCD メーカーは、より大型の基板を用いて、多数個取りを行いコストを低減する努力を行っている。

【0004】 前記のような基板の大型化は、近年の TFT-LCD メーカーにおける大きな流れの一貫ではあるが、基板の大型化は逆に更なる異物の付着やピンホールなどの膜欠陥の生成を増加させる方向にあり、歩留り低下の要因となる。TFT-LCD は、直接人間が目で見える製品のため、そのデバイス内にリペア配線などの冗長配線を多く配置することがきわめて困難である。さらに、一つ一つのデバイスサイズが大きいため、工程内で発生した欠陥によってそのパネルを排除することは、歩留りを向上させる上できわめて損失が大きく、かつ重大な問題となっている。

【0005】 このような TFT-LCD の一例の TFT と画素電極が設けられた基板の画素分の平面図を図 5 (a) に、その B-B 線断面図および C-C 線断面図をそれぞれ図 5 (b) および図 5 (c) に示す。

【0006】 TFT は、構造的にはゲート配線 2 a、ゲート電極 2 を下部構造として有し、そのうえにゲート絶縁膜 3、半導体層 5、絶縁膜 6 を介してソース電極 9 およびソース配線 9 a を形成して完成する。また画素部は画素電極 4 の下に蓄積容量用電極 11 と絶縁膜 10 が設けられ、蓄積容量が形成されている。このため、下部配線であるゲート配線 2 a と上部配線であるソース/ドレイン電極 9 およびその配線 9 a の間、あるいは画素電極 4 である ITO 電極の上部または前記ソース配線 9 a とゲート配線 2 a との間にピンホールがあると配線間ショートが起こり、ショートはデバイスにとってきわめて致命的な欠陥となる。また画素電極上にピンホールがあるとソース/ドレイン電極およびその配線のパターンニングのためのレジスト現像液やエッチング液が侵入して画素電極を腐蝕させるという問題がある。とくに、ソース/ドレイン電極 9 およびその配線 9 a にアルミニウムを使用すると、ITO 膜の電解腐蝕がソース/ドレイン電極パターンのレジスト現像時に発生しやすくなる。

【0007】 従来は前記欠陥を低減するために、製造装置および製造環境の徹底的なクリーン化を推進し、ピンホールの発生を防止したり、あるいは特開平 3-78729 号公報に示されているように、耐熱性の絶縁性樹脂溶液の中に基板を浸漬し、電着法を用いて前記配線上の絶縁膜に発生したピンホールを埋めたり、さらに特開平 1-283520 号公報、特開昭 63-266428 号公報に開示されているように、ゲート配線とソース配線の交叉部分のみに有機、あるいは無機の絶縁膜をさらに追加して形成することによってショートを防ぐ方法が採られている。しかし、全体的なクリーン化の推進は、僅かな塵埃でも不良の原因となるためなかなか効果として

現れにくい。また特開平 3-78729 号公報にあるような方法では、電着のための設備が必要であり、さらにプロセスが煩雑になるなどの弊害がある。さらに特開平 1-283520 号公報や特開昭 63-266428 号公報に示されるような方法では、配線のみに対して有効であり、画素電極上のショートや画素電極の現像液などによる腐蝕の防止にはならないという欠点がある。

#### 【0008】

【発明が解決しようとする課題】本発明は、際限なく繰り返して行わなければならないクリーン化の推進や、大がかりな装置を必要とするピンホール除去の複雑なプロセスや、配線の交叉部のみに注目したピンホール対策に示されるような問題を解決するためになされたものである。たとえばゲート配線やゲート電極と画素電極上に形成された少なくとも絶縁膜の上層に、ソース/ドレインの電極や配線を形成する前に、前記絶縁膜の上層にポジ型フォトリソレジストを塗布し、塗布された膜厚分を感光するだけの量の光照射を行い、現像処理を施し、前記絶縁膜に発生しているピンホールをレジストで埋め、上部配線とのショートを一

#### 【0009】

【課題を解決するための手段】本発明の積層導電膜パターンの形成法は、絶縁基板上に所定のパターンを有する下部導電膜パターンを形成し、該下部導電膜パターンの上層に絶縁膜を設けるとともに該絶縁膜の上層にレジストを所定の膜厚になるように塗布し、該レジストの所定の膜厚分が現像液に溶解するために必要な光の量を全面に照射し、ついで現像して前記絶縁膜の上層のレジストを除去する一方、該絶縁膜のピンホール内に侵入した前記レジストを残存させ、つぎに、該絶縁膜の上層に前記上部導電膜材料を堆積しパターニングすることにより上部導電膜パターンを形成することを特徴とする。

【0010】前記レジストへの光の照射工程を、全面照射に代えて前記上部導電膜パターンが形成される箇所のみに行うことにより、上部導電膜の現像およびエッチング時に画素電極などの上層にレジスト層を残存させることができるため、画素電極などの腐蝕防止に一層効果がある。

【0011】さらに、前記上部導電膜パターンが形成される箇所のみ前記レジストである第 1 のレジストを除去して該絶縁膜の上層に前記上部導電膜材料を堆積し、ついで該導電膜材料上に第 2 のレジストを塗布しパターニングすることにより上部導電膜パターンを形成し、残存する第 2 のレジストおよび前記上部導電膜のパターニングにより露出した前記第 1 のレジストを同時に除去することにより、ITO 膜上とゲート配線およびゲート電極

上での反射率の違いによるピンホール内の第 1 のレジストの残存率を一定にすることができる効果がある。

#### 【0012】

【作用】本発明の積層導電膜パターンの形成法によれば、レジストへの光照射量を前記絶縁膜または半導体膜などの積層膜表面より上部のみがアルカリ可溶となるように調整しているため、ピンホール内に埋まり込んだレジストは未露光部となり、アルカリ不可溶の性質を有し、現像処理後にも溶解されずにピンホール内にとどまる。そのためピンホールは閉塞され、上部導電膜材料がピンホールから侵入して下部導電膜とショートしたり、上部導電膜をパターニングするための現像液やエッチング液がピンホールから侵入して下部導電膜を腐蝕することを防止する。

#### 【0013】

##### 【実施例】

【実施例 1】本発明の積層導電膜パターンの形成法の一実施例として、LCD-TFT の一方の基板に設けられる TFT と画素電極および蓄積容量部の形成法を、図面に基づいて説明する。

【0014】図 1 および図 2 は、アクティブマトリクス型液晶表示素子の一方の基板に形成される一画素分の TFT および画素電極部の製造工程を示す断面説明図である。まず、図 1 (a) に示されるように、ガラスなどからなる絶縁性透明基板 1 に ITO 膜をスパッタ法などで 500~1000 Å 程度堆積し、レジスト塗布、露光、現像、エッチングのフォトリソグラフィ技術によりパターニングを行い、蓄積容量電極 11 を形成する。さらにその上に CVD 法などによりシリコンチ化膜などの絶縁膜 10 を 2000~3000 Å 程度堆積し、パターニングする。ついで、ゲート線と一体であるゲート電極 2 をたとえばクロム膜、アルミニウム膜、タングステン膜、モリブデン膜などで、画素電極 4 を ITO、酸化インジウム、酸化スズなどで形成する。さらに、ゲート電極 2 および画素電極 4 を覆うようにたとえばシリコンチ化膜、シリコン酸化膜、酸化アルミニウム膜などからなるゲート絶縁膜 3 を形成する。そののち、たとえばアモルファスシリコン膜などからなる半導体膜 5、たとえばシリコンチ化膜などからなる絶縁膜 6 を順次成膜する。

【0015】これらの膜の成膜方法は前述のスパッタ法、CVD 法に限るものではなく、絶縁膜については電着法、浸漬法、蒸着法、陽極酸化法などの方法、ゲート電極については蒸着法、画素電極については蒸着法、浸漬法などでもよい。また、半導体膜 5 の表面には、高不純物濃度の半導体膜、すなわち導電性を有するコンタクト層が形成されている。このコンタクト層の形成は、真性半導体膜を形成したのちに不純物が含まれた半導体膜を積層する方法、または真性半導体膜の表面に不純物イオンを打ち込んで形成する方法を用いることにより行わ

れる。

【0016】前記のように形成された積層膜に異物あるいは膜欠陥などが原因でピンホール7が発生することがあり、その発生したピンホール7による不具合を除去するために、図1(b)に示されるようにポジ型レジスト8を塗布する。発生するピンホール7は、通常直径が0.5~5 $\mu$ m程度であるから、液状であるポジ型レジスト8は容易にピンホール内に入り込む。塗布する厚さはピンホールの深さより深くすることが好ましく、0.5~1.6 $\mu$ m、さらに好ましくは0.5~1.0 $\mu$ m程度である。厚すぎるとレジスト全体の厚さに対するピンホールの深さの比率が小さくなり、ピンホール部だけ露光されなくするコントロールが難しく、ピンホール内部のレジストも現像されてしまい易くなり、薄すぎると光照射量のコントロールが困難だからである。塗布の方法としては、スピコート法、ロールコート法、浸漬法などの既知の方法を用いることができる。なかでもピンホール内に埋め込むという目的からはスピコート法、ロールコート法が好ましい。

【0017】つぎに、90~130℃、1.5~30分程度のプリベークの完了した前記基板1に対して、ステップ、ミラープロジェクション、プロキシミティー法の露光機を用いて図1(c)に示されるように全面に光照射を行う。この光照射の量は、塗布した所定の膜厚を現像するのに必要分のみとする。たとえば、塗布されたレジストの光照射エネルギー量と現像後のレジスト膜厚の関係を図3に示す。図3には塗布されたポジ型レジスト膜の厚さが1.6 $\mu$ m(図3のP)、1.0 $\mu$ m(図3のQ)、0.5 $\mu$ m(図3のR)のときのそれぞれの感度曲線の一例が示されており、それぞれの照射エネルギー量の露光後に90秒の現像を行ったときの残存するレジスト膜の厚さの関係が示されている。たとえば、図3において、塗布されたレジスト膜が1.6 $\mu$ mの膜厚のとき、1mJ/cm<sup>2</sup>以下の照射エネルギーでは現像しても全然減らず、1.6 $\mu$ mのまま(図3のA参照)で、この膜厚分をすべて感光するためには、46mJ/cm<sup>2</sup>(図3のB参照)の光エネルギーを照射する必要がある。すなわち、通常のパターン形成ではこの感度曲線のばあい、46mJ/cm<sup>2</sup>の1.5~2倍程度のエネルギーの光を照射して完全に現像されるように露光するが、本発明ではこの光照射の量をコントロールし、感光されるべき膜厚分の光の量だけ照射することにより、図2(d)に示されるように、積層膜中に発生したピンホール7a、7bに埋め込まれたポジ型レジスト8aは感光されず、現像処理を行ったあとでも残存する。現像後は、ホットプレート、あるいは、コンベクションタイプのオーブを用いて100~200℃の温度でハードベークを施す。もちろんベークは前記方法のみならず、遠紫外線を用いたベーク方式を採用してもよい。前記処理ののち、図2(e)に示されるようにスパッタ法、蒸

着法などを用いてソース/ドレイン電極9を形成するためのゲート電極と同様の金属膜を堆積し、フォトリソグラフィ法でバターニングを行う。

【0018】本発明によれば、ピンホール7a、7b内にポジ型レジスト8aが埋め込まれているため、ソース/ドレイン電極9用のアルミニウム膜を堆積したのちのバターニングのためレジスト膜を現像する際に現像液がピンホール7bを経て画素電極4まで侵入し、画素電極4を腐蝕することは起らない。またTFT側に生じたピンホール7aもポジ型レジスト8aが埋まっているため、ソース/ドレイン電極9用のアルミニウムは侵入せず、ドレイン電極9とゲート電極2のショートを防止する。

【0019】[実施例2] 図4を参照しながら本発明の積層膜パターンの形成法の第2の実施例について説明する。

【0020】本実施例は上部導電膜が形成される部分のみの第1のレジストであるポジ型レジストを露光して現像処理し、他のところはポジ型レジストを残存させたまま上部導電膜の材料である金属を堆積し、上部導電膜のバターニング後に上部導電膜のエッチングにより露出したポジ型レジストも除去するものである。

【0021】まず図1(a)および図1(b)に示されるように、実施例1と同様に各膜を積層し、その表面にポジ型レジスト膜8を塗布形成する。ついで図4(f)に示されるように、上部導電膜であるソース/ドレイン電極9が形成される部位のみに露光する。すなわち、プリベークの完了した前記基板に対して、ステップ、ミラープロジェクション、プロキシミティー法などの露光機を用いて、ソース/ドレインパターンのリバーサルイメージを焼きつける。このときの光照射量は実施例1と同様に前記ポジ型レジストの膜厚分だけが現像されるようにコントロールする。引き続き現像処理を施し100~200℃のベーク処理ののち、ソース/ドレイン電極9を形成するための金属を堆積する(図4(g)参照)。第2のレジストを設けバターニングする所定の方法を用いてソース/ドレイン電極9を形成したのち、ウェット法、あるいはプラズマを用いた方法で第2のレジスト除去を行う。このとき、ソース/ドレイン電極9の形成前に設けられた第1のレジストであるポジ型レジスト膜8も同時に除去する(図4(h)参照)。

【0022】本実施例によれば、上層導電膜のバターニングの際に電極や配線の形成部以外にはレジスト膜が設けられているため、現像液やエッチング液から完全に保護することができ、下部導電膜の腐蝕などに対して一層の防止効果が働く。

【0023】さらに一般に金属膜とITO膜では光の反射率などが異なるため、同じ厚さのレジスト膜で、同じエネルギー量の光を照射しても現像される膜厚が異なり、ゲート電極上のピンホール内のレジストと画素電極

上のピンホール内のレジストとが全く同じ条件で現像されないように露光することは難しいが、本実施例によれば、画素電極上のレジスト膜を残存させておくことができるため、ゲート電極上のみで光の照射量をコントロールすることができ、下地の反射率の差によるピンホール内に残存するレジストの量の差を防ぐことができる。

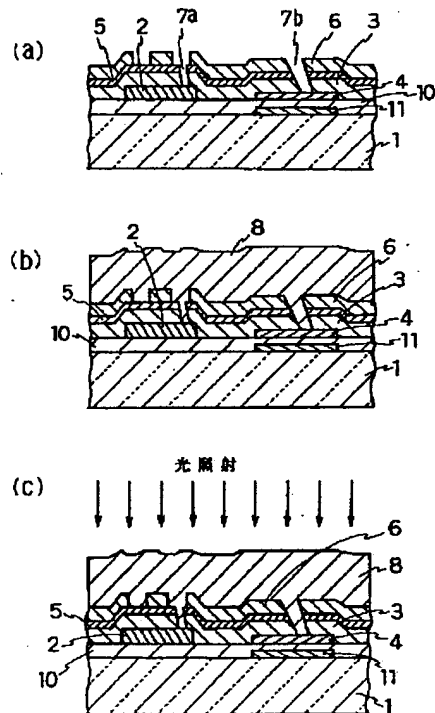
【0024】前記各実施例ではTFTおよび画素電極部の積層膜のピンホールについて説明したが、本発明はゲート配線とソース配線間の絶縁膜に生じるピンホールなど導電膜が積層されるばあいに適用できる。

【0025】

【発明の効果】以上のように本発明をTFT-LCDプロセスに採用すると、膜中に発生したピンホールによるショート欠陥の発生が激減し、TFT-LCDの歩留りを大きく向上することができる。

【0026】またクリーン化を際限なく行う必要がないため、大きな基板から一度に多数個のLCDを作ることができ、作業能率が向上してコストを低下させることが

【図1】



- |           |               |
|-----------|---------------|
| 1 絶縁性透明基板 | 5 半導体膜        |
| 2 ゲート電極   | 8 絶縁膜         |
| 3 ゲート絶縁膜  | 7 a、7 b ピンホール |
| 4 画素電極    | 8 ポジ型レジスト膜    |

できる。

【図面の簡単な説明】

【図1】 本発明の積層導電膜パターンの形成法の一実施例の製造工程を示す断面説明図である。

【図2】 本発明の積層導電膜パターンの形成法の一実施例の製造工程を示す断面説明図である。

【図3】 ポジ型レジストの感度曲線の一例を示すグラフである。

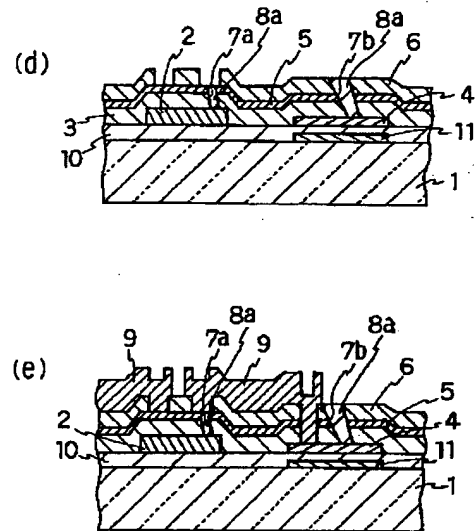
【図4】 本発明の積層導電膜パターンの形成法の他の実施例の製造工程を示す断面説明図である。

【図5】 TFT-LCDの一方の基板に形成される一画素分のTFT、画素電極、配線部の平面図および断面図である。

【符号の説明】

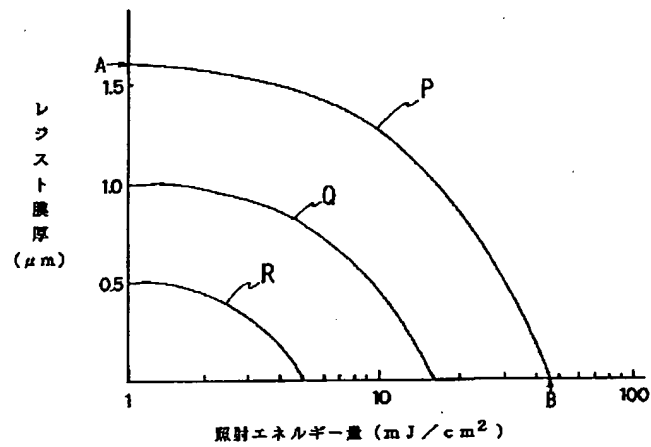
1 絶縁性透明基板、2 ゲート電極、3 ゲート絶縁膜、4 画素電極、5 半導体膜、6 絶縁膜、7、7 a、7 b ピンホール、8 ポジ型レジスト膜、9 ソース/ドレイン電極。

【図2】

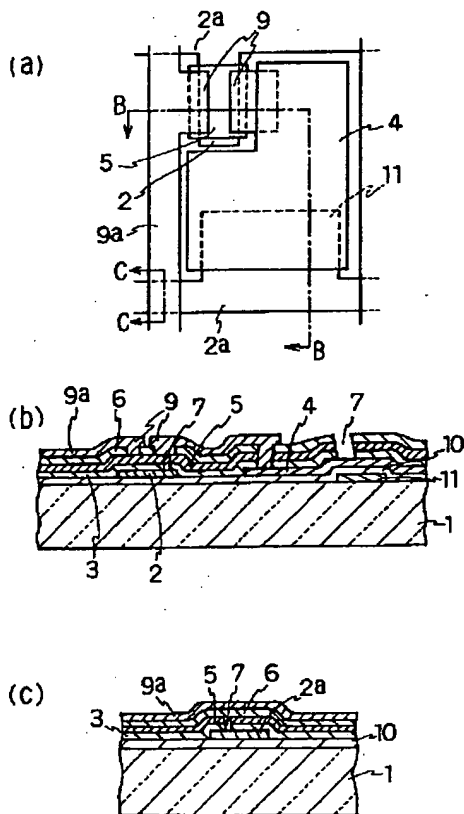


- |           |               |
|-----------|---------------|
| 1 絶縁性透明基板 | 5 半導体膜        |
| 2 ゲート電極   | 6 絶縁膜         |
| 3 ゲート絶縁膜  | 7 a、7 b ピンホール |
| 4 画素電極    | 9 ソース/ドレイン電極  |

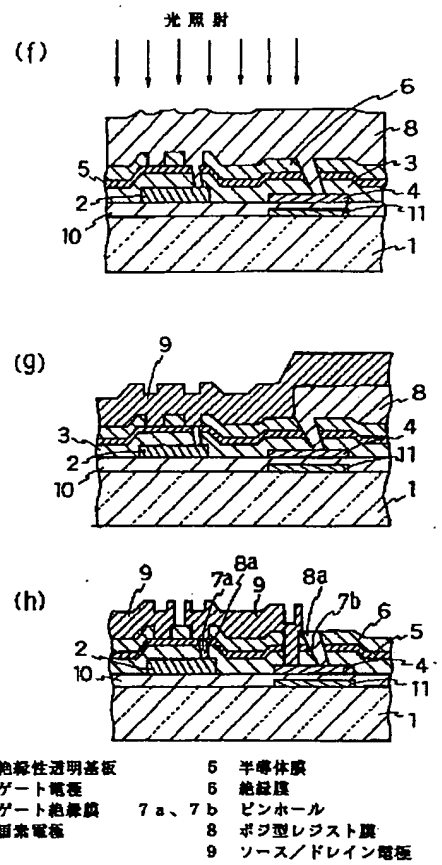
【図 3】



【図 5】



【図 4】



- |           |               |
|-----------|---------------|
| 1 絶縁性透明基板 | 5 半導体膜        |
| 2 ゲート電極   | 6 絶縁膜         |
| 3 ゲート絶縁膜  | 7 a、7 b ピンホール |
| 4 固定電極    | 8 ポジ型レジスト膜    |
|           | 9 ソース/ドレイン電極  |